

Partial Translation of JP 8-139531

...omitted...

[Fig. 1]

- 5 1 high potential power supply
- 2 low potential power supply
- T1 constant current source
- S1, S2 input terminal
- C1 control signal
- 10 O1, O2 output terminal
- MP1, MP2 p-channel field effect transistor
- Q1, Q2 NPN type bipolar transistor
- R1, R2, R3, R4 resistor

...omitted...

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-139531

(43)Date of publication of application : 31.05.1996

(51)Int.Cl.

H03F 3/45
H03G 3/10

(21)Application number : 06-270882

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.11.1994

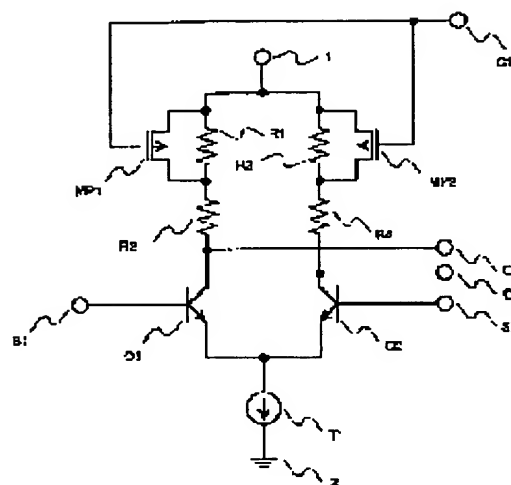
(72)Inventor : SUZUKI KUNIIHIKO
NAMETAKE MASATAKE
MITSUMOTO KINYA
AKIOKA TAKASHI
AKIYAMA NOBORU

(54) DIFFERENTIAL AMPLIFIER

(57)Abstract:

PURPOSE: To vary the output amplitude of a differential amplifier by a completed chip only with a control signal.

CONSTITUTION: Input signals S1 and S2 are inputted to the bases of a couple of NPN bipolar transistors (TR) Q1 and Q2, the common-connected emitter terminals are connected to a low-potential power source 2 through a constant current source T1, and the respective collector terminals are regarded as output terminals O1 and O2. Series resistors R1 and R2, and R3 and R4 are provided between the collector terminals O1 and O2 and a high-potential point 1, p channel field-effect transistors MP1 and MP2 as short-circuiting means are provided in parallel to one of the series resistors, and the control signal C1 is inputted to the gates of the p channel field-effect transistors MP1 and MP2 to control a load resistance. Consequently, there is no mask variation and the output amplitude can be varied with the control signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/45		Z		
H 0 3 G 3/10		B		

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号	特願平6-270882	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成6年(1994)11月4日	(72) 発明者	鈴木 州彦 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内
		(72) 発明者	行武 正剛 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内
		(72) 発明者	光本 欽哉 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体事業部内
		(74) 代理人	弁理士 小川 勝男

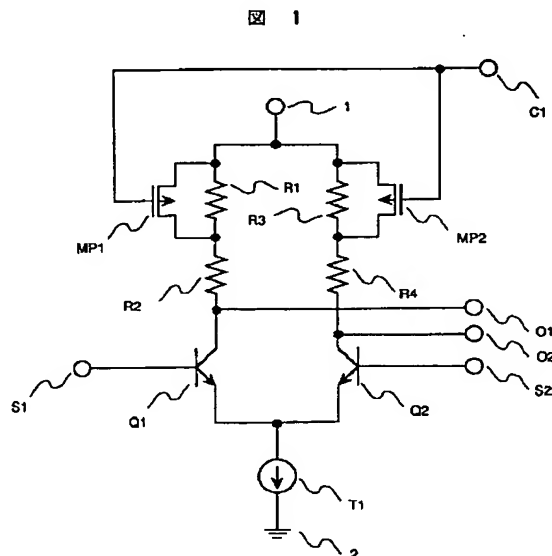
最終頁に続く

(54) 【発明の名称】 差動アンプ

(57) 【要約】

【構成】 NPN型バイポーラトランジスタ対Q1、Q2のそれぞれのベース端子に入力信号S1、S2を入力し、共通接続したエミッタ端子を定電流源T1を介して低電位電源2に接続し、それぞれのコレクタ端子を出力端子O1、O2とする。それぞれのコレクタ端子O1、O2と高電位点1との間にそれぞれ、直列抵抗R1、R2とR3、R4とを設け、直列抵抗の一方と並列に短絡手段であるpチャネル電界効果トランジスタMP1、MP2を設け、制御信号C1をpチャネル電界効果トランジスタMP1、MP2のゲートに入力して、負荷抵抗を制御する。

【効果】 マスクを変更することなく完成チップで差動アンプの出力振幅を制御信号のみで変更することができる。



1 … 高電位電源 2 … 低電位電源
T1 … 定電流源 S1, S2 … 入力信号
C1 … 制御信号 O1, O2 … 出力端子
MP1, MP2 … pチャネル電界効果トランジスタ
Q1, Q2 … NPN型バイポーラトランジスタ
R1, R2, R3, R4 … 抵抗

【特許請求の範囲】

【請求項 1】NPN 型バイポーラトランジスタ対のベース端子がそれぞれ入力端子に接続されており、前記 NPN 型バイポーラトランジスタ対のコレクタ端子がそれぞれ出力端子に接続され、前記 NPN 型バイポーラトランジスタ対のエミッタ端子が定電流源に共通に接続され、前記定電流源の他端が低電位電源に接続されている差動アンプにおいて、前記 NPN 型バイポーラトランジスタ対の前記コレクタ端子と高電位電源との間にそれぞれ第一負荷が接続され、前記負荷は、第二負荷の直列接続で構成され、さらに前記第二負荷の少なくとも一つに p チャネル型電界効果トランジスタが接続され、前記 p チャネル型電界効果トランジスタのゲートが制御信号入力端子に接続されている回路構成を特徴とする差動アンプ。

【請求項 2】NPN 型バイポーラトランジスタ対のベース端子がそれぞれ入力端子に接続されており、前記 NPN 型バイポーラトランジスタ対のコレクタ端子がそれぞれ出力端子に接続され、前記 NPN 型バイポーラトランジスタ対のエミッタ端子が定電流源に共通に接続され、前記定電流源の他端が低電位電源に接続されている差動アンプにおいて、前記 NPN 型バイポーラトランジスタ対の前記コレクタ端子と高電位電源との間にそれぞれ第一負荷が接続され、前記第一負荷は、第二負荷の直列接続で構成され、さらに前記 n 個直列の第二負荷 $F_1 \sim F_n$ の接続端子の、少なくとも一つの接続端子と前記高電位電源との間にそれぞれ p チャネル型電界効果トランジスタを設け、前記 p チャネル型電界効果トランジスタのゲートが制御信号入力端子に接続されている回路構成を特徴とする差動アンプ。

【請求項 3】NPN 型バイポーラトランジスタ対のベース端子がそれぞれ入力端子に接続されており、前記 NPN 型バイポーラトランジスタ対のコレクタ端子がそれぞれ出力端子に接続され、前記 NPN 型バイポーラトランジスタ対のエミッタ端子が定電流源に共通に接続され、前記定電流源の他端が低電位電源に接続されている差動アンプにおいて、前記 NPN 型バイポーラトランジスタ対のコレクタ端子に、第一負荷が接続され、前記第一負荷の他端がノードに共通接続され、前記ノードと高電位電源との間に第二負荷が接続され、前記第二負荷は、第三負荷の直列接続で構成され、さらに前記第一負荷の接続端子の、少なくとも一つの接続端子と前記高電位電源との間にそれぞれ p チャネル型電界効果トランジスタを接続し、前記 p チャネル型電界効果トランジスタのゲートが制御信号入力端子に接続されている回路構成を特徴とする差動アンプ。

【請求項 4】NPN 型バイポーラトランジスタ対のベース端子がそれぞれ入力端子に接続されており、前記 NPN 型バイポーラトランジスタ対のコレクタ端子がそれぞれ出力端子に接続され、前記 NPN 型バイポーラトランジスタ対のエミッタ端子が定電流源 T1 に共通に接続さ

れ、定電流源の他端が低電位電源に接続されている差動アンプにおいて、前記 NPN 型バイポーラトランジスタ対の前記コレクタ端子に、それぞれ第一負荷が接続され、前記第一負荷の他端がノードに接続され、前記ノードと高電位電源との間に第二負荷が接続され、前記第二負荷は、第三負荷の直列接続で構成され、前記第三負荷 n に少なくとも一つの負荷に p チャネル型電界効果トランジスタのドレインが並列に接続され、前記 p チャネル型電界効果トランジスタのソースが前記高電位電源に接続され、前記 p チャネル型電界効果トランジスタのゲートが制御信号入力端子に接続されている回路構成を特徴とする差動アンプ。

【請求項 5】NPN 型バイポーラトランジスタ対のベース端子がそれぞれ入力端子に接続されており、前記 NPN 型バイポーラトランジスタ対のエミッタ端子が共通に接続され、前記 NPN 型バイポーラトランジスタ対のコレクタ端子がそれぞれ出力端子に接続され、前記 NPN 型バイポーラトランジスタ対の前記コレクタ端子にそれぞれ第一負荷が接続され、前記第一負荷の他端が高電位電源に接続されている差動アンプ回路において、前記差動アンプのエミッタ端子と低電位電源の間に定電流源を設け、前記定電流源の少なくとも一つの定電流源と前記エミッタ端子との間に直列に n チャネル型電界効果トランジスタが接続され、前記 n チャネル型電界効果トランジスタのゲートが制御信号の入力になっている回路構成を特徴とする差動アンプ。

【請求項 6】NPN 型バイポーラトランジスタ対のそれぞれのベース端子を入力端子とし、前記 NPN 型バイポーラトランジスタ対のエミッタ端子を共通接続し、前記エミッタ端子と低電位電源との間に定電流源を設け、前記 NPN 型バイポーラトランジスタ対のそれぞれのコレクタ端子を出力端子とし、前記コレクタ端子と高電位電源の間にそれぞれ負荷を設けた差動アンプにおいて、前記負荷の値を制御信号により変更することを特徴とする差動アンプ。

【請求項 7】NPN 型バイポーラトランジスタ対のそれぞれのベース端子を入力端子とし、前記 NPN 型バイポーラトランジスタ対のコレクタ端子を出力端子とし、前記コレクタ端子と高電位電源との間にそれぞれ負荷を設け、前記 NPN 型バイポーラトランジスタ対のエミッタ端子と低電位電源との間に定電流源を設けた差動アンプにおいて、前記定電流源の電流の値を制御信号により変更することを特徴とする差動アンプ。

【請求項 8】請求項 1, 2, 3, 4, 5, 6 または 7 において、前記負荷を抵抗にした差動アンプ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路で使用される差動アンプ回路に関する。

【0002】

【従来の技術】従来、図 7 に示すように、抵抗値の異なる抵抗 (R_1 と R_4 , R_2 と R_3 はそれぞれ同じ抵抗値又抵抗値は $R_1 < R_2$) をあらかじめ作っておき、差動アンプの出力振幅を小さくしたい場合は、 R_1 と R_4 を接続 (ノード 3 と 4, 6 と 7, 9 と 11, 12 と 14 を選択) し、出力振幅を大きくしたい場合は逆に、 R_2 と R_3 を接続 (ノード 3 と 5, 6 と 8, 9 と 10, 12 と 13 を接続) していた。このように、差動アンプの出力振幅を変更するために、マスクを変更 (メタルオプション) することによって抵抗値を変更し、差動アンプの出力振幅を変更していた。

【0003】

【発明が解決しようとする課題】このように、従来の技術では差動アンプの出力振幅を変更するためにマスクを変更していた。しかし、完成チップにおいて差動アンプの出力振幅を変更できない問題があった。本発明の目的は、完成した LSI のチップにおいて、差動アンプの出力振幅を変更できる差動アンプ回路を提供することにある。

【0004】

【課題を解決するための手段】NPN 型バイポーラトランジスタ対 Q_1 , Q_2 のそれぞれのベース端子に入力信号 S_1 , S_2 を入力し、それぞれのエミッタ端子を共通接続し、このエミッタ端子を定電流源 T_1 を介して低電位電源 2 に接続し、それぞれのコレクタ端子を出力端子 O_1 , O_2 とする。それぞれのコレクタ端子 O_1 , O_2 と高電位電源 1 との間にそれぞれ、直列抵抗 R_1 , R_2 と R_3 , R_4 とを設けて負荷抵抗とする。直列抵抗の一方 (例えば、高電位電源 1 側の R_1 , R_3) と並列に短絡手段である p チャネル電界効果トランジスタ MP_1 , MP_2 を設け、制御信号 C_1 を p チャネル電界効果トランジスタのゲートに入力することにより、負荷抵抗値を切り換え差動アンプの出力振幅を変更する。

【0005】更に、他の手段として、NPN 型バイポーラトランジスタ対 Q_1 , Q_2 のそれぞれのベース端子に入力信号 S_1 , S_2 を入力し、それぞれのコレクタ端子を出力端子 O_1 , O_2 とする。それぞれのコレクタ端子 O_1 , O_2 と高電位電源 1 との間に抵抗 R_1 と R_2 を設け、NPN トランジスタ Q_1 , Q_2 のエミッタ端子と低電位電源 2 の間に定電流源 $T_1 \sim T_y$ を設け、前記定電流源 $T_1 \sim T_y$ の少なくとも一つの定電流源と前記エミッタ端子との間に直列に n チャネル型電界効果トランジスタ $MN_1 \sim MN_m$ が接続され、制御信号 C_1 により、電流値を切り換え差動アンプの出力振幅を変更する。

【0006】

【作用】上記回路構成によって、制御信号により電界効果トランジスタをオン、オフし負荷抵抗値または電流値を変更することで適宜差動アンプの出力振幅を変えられることができる。

【0007】

【実施例】次に、図 1 ないし図 6 を参照して、本発明の実施例に付いて説明する。

【0008】(実施例 1) 図 1 は、本発明の第 1 実施例による差動アンプの回路図である。NPN 型バイポーラトランジスタ対 Q_1 , Q_2 のそれぞれのベース端子に入力信号 S_1 , S_2 を入力し、それぞれのエミッタ端子を共通接続し、エミッタ端子を定電流源 T_1 を介して低電位電源 2 に接続し、それぞれのコレクタ端子を出力端子 O_1 , O_2 とする。それぞれのコレクタ端子 O_1 , O_2 と高電位電源 1 との間にそれぞれ、直列抵抗 R_1 , R_2 と R_3 , R_4 とを設けて負荷抵抗とする。直列抵抗の一方 (例えば、高電位点 1 側の R_1 , R_3) と並列に短絡手段である p チャネル電界効果トランジスタ (以下、pMOS と称す。) MP_1 , MP_2 を設け、制御信号 C_1 を pMOS のゲートに入力する。

【0009】次に、動作について説明する。簡単のために、入力信号 S_1 , S_2 の電位差は、出力振幅がフル振幅となる 100 mV 以上、また、抵抗 $R_1 \sim R_4$ はそれぞれ 1 k Ω 、定電流源 T_1 の電流値は 0.5 mA の場合を考える。まず、制御信号 C_1 が L レベルの時は pMOS MP_1 , MP_2 はオン状態となる。このためコレクタ電流 I_{ch} は R_1 (又は、 R_3) を流れず、バイパスとなる pMOS MP_1 (又は、 MP_2) を介して R_2 (又は、 R_4) に流れる。この時の差動アンプの出力振幅は $I_{ch} * R_2$ (又は、 $I_{ch} * R_4$) で約 0.5 V になる。つぎに、制御信号 C_1 が H レベルの時は pMOS MP_1 , MP_2 はオフ状態となる。このため、コレクタ電流 I_{cl} は R_1 (又は、 R_3) と R_2 (又は、 R_4) とを流れる。この時の出力振幅は $I_{cl} * (R_1 + R_2)$ (又は、 $I_{cl} * (R_3 + R_4)$) で約 1.0 V になる。

【0010】このように、制御信号 C_1 により負荷の値を変更できるため差動アンプの出力振幅を適宜制御できる。

【0011】(実施例 2) 図 2 は、本発明の第 2 実施例による差動アンプの回路図である。差動アンプの負荷となる部分が第 1 の実施と異なる。NPN トランジスタ対のそれぞれのコレクタ端子と高電位点 1 との間に、2 段以上の負荷 $F_1 \sim F_n$ を直列に設ける。更に直列接続した負荷の各々、若しくは、何れかの負荷と並列に pMOS $MP_1 \sim MP_m$ を設け、制御信号 $C_1 \sim C_m$ により pMOS を制御する構成である。

【0012】基本的な動作は第 1 の実施例と同様である。本実施例では制御信号 $C_1 \sim C_m$ により負荷の値を制御するため、より複数の負荷の値を設定することが可能である。

【0013】このため差動アンプの負荷抵抗の値を複数に変更できるため差動アンプの出力振幅を多値に設定可能となる。

【0014】(実施例 3) 図 3 は、本発明の第 3 実施例

による差動アンプの回路図である。pMOSの接続が第2の実施例と異なる。NPNトランジスタ対Q1、Q2のそれぞれのコレクタ端子に接続されているn個直列の負荷F1～Fnの接続端子N1～N(n-1)の、少なくとも一つの接続端子と高電位点1との間にそれぞれpMOSMP1～MPmを設け、更に制御信号C1～CmによりpMOSを制御する構成である。

【0015】基本的な動作は第2の実施例と同様であるが、本実施例では、pMOSのソースが高電位点1に接続されているため、複数の負荷にpMOSが各々接続された場合でも、pMOSのオン抵抗による電圧降下が最小限に留められる。

【0016】このため差動アンプの負荷抵抗の値を複数に変更できるため差動アンプの出力振幅を多値に設定可能となる。

【0017】(実施例4)図4は、本発明の第4実施例による差動アンプの回路図である。差動アンプの負荷となる部分が第1の実施例と異なる。NPNトランジスタ対Q1、Q2のそれぞれのコレクタ端子に抵抗R2、R3を接続し、抵抗R2、R3を共通接続し、共通ノードの他端と高電位点1との間に、抵抗R1を設ける。更に抵抗R1と並列にpMOSMP1を設け、制御信号C1によりpMOSを制御する。

【0018】次に、動作について説明する。簡単の為に、入力信号S1、S2の電位差は、出力振幅がフル振幅となる100mV以上、また、抵抗R1～R3はそれぞれ1kΩ、定電流源T1の電流値は0.5mAの場合を考え、高電位点1の電圧は3Vとする。まず、制御信号C1がLoレベルの時はpMOSMP1はオン状態となる。このためコレクタ電流I_{ch}はR1を流れず、バイパスとなるpMOSMP1を介してR2(又は、R3)に流れる。この時の抵抗R2(又は、R3)による電圧降下は、I_{c1}*R2(又は、R3)で約0.5Vになり、この時の出力電圧は高電位点1-I_{ch}*R2(又は、R3)で約2.5Vとなる。つぎに、制御信号C1がHiレベルの時はpMOSMP1はオフ状態となる。このため、コレクタ電流I_{c1}はR1とR2(又は、R1とR3)を流れる。この時の抵抗R1とR2(又は、R1とR3)による電圧降下は、I_{c1}*(R1+R2)(又は、R1+R3)で約1.0Vになり、この時の出力電圧は高電位点1-I_{ch}*(R1+R2)(又は、R1+R3)で約2.0Vとなる。

【0019】このように、制御信号C1により抵抗の値を変更できるため差動アンプの出力電圧レベルを適宜制御できる。

【0020】(実施例5)図5は、本発明の第5実施例による差動アンプの回路図である。差動アンプの負荷及び定電流源となる部分が第1の実施例と異なる。NPNトランジスタ対Q1、Q2のそれぞれのコレクタ端子と高電位点1との間に抵抗R1、R2を設け、エミッタ端

子と低電位電源2との間に、定電流源T1、T2を設け、定電流源T2とエミッタ端子との間に直列にnチャネル型電界効果トランジスタ(以下nMOSと称す。)MN1が接続され、制御信号C1によりnMOSを制御する。

【0021】次に、動作について説明する。簡単の為に、入力信号S1、S2の電位差は、出力振幅がフル振幅となる100mV以上、また、抵抗R1、R2はそれぞれ1kΩ、定電流源T1、T2の電流値は0.5mAの場合を考える。まず、制御信号C1がHiレベルの時はnMOSMN1はオン状態となる。このためエミッタ電流は、定電流源T1と定電流源T2の電流値を足した値なので、1mAになる。また、エミッタ電流とコレクタ電流I_{ch}は、ほぼ等しいので、コレクタ電流I_{ch}は1mAとなる。この時の差動アンプの出力振幅はI_{ch}*R1(又は、I_{ch}*R2)で約1.0Vになる。つぎに、制御信号C1がLoレベルの時はnMOSMN1はオフ状態となる。このためエミッタ電流は、定電流源T1のみの電流値なので、0.5mAになる。また、エミッタ電流とコレクタ電流I_{ch}は、ほぼ等しいので、コレクタ電流I_{ch}は0.5mAとなる。この時の差動アンプの出力振幅はおおよそI_{ch}*R1(又は、I_{ch}*R2)で約0.5Vになる。

【0022】このように、定電流源の電流値を制御信号C1により変更することで差動アンプの出力振幅を適宜制御できる。

【0023】(実施例6)図6は、本発明の第6実施例による差動アンプの回路図である。

【0024】差動アンプの定電流源となる部分が第5の実施例と異なる。NPNトランジスタQ1、Q2のエミッタ端子と低電位電源2の間に定電流源T1～Tyを設け、定電流源T1～Tyの少なくとも一つの定電流源とエミッタ端子との間に直列にnチャネル型電界効果トランジスタMN1～MNmが接続され、制御信号C1～CmによりnMOSを制御する。

【0025】基本的な動作は第5の実施例と同様である。本実施例では制御信号C1～Cmにより定電流源の電流値を制御するため、より複数の電流値を設定することが可能になる。

【0026】このように、定電流源の制御を制御信号C1～Cmで行うことによりコレクタ電流の値を複数に変更できるため、差動アンプの出力振幅を多値に変更できる。

【0027】

【発明の効果】本発明の差動アンプ回路によれば、マスクを変更することなく差動アンプの出力振幅を制御信号のみで変更することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の差動アンプの回路図。

【図2】本発明の第2実施例の差動アンプの回路図。

【図3】本発明の第3実施例の差動アンプの回路図。

【図4】本発明の第4実施例の差動アンプの回路図。

【図5】本発明の第5実施例の差動アンプの回路図。

【図6】本発明の第6実施例の差動アンプの回路図。

【図7】従来の差動アンプの回路図。

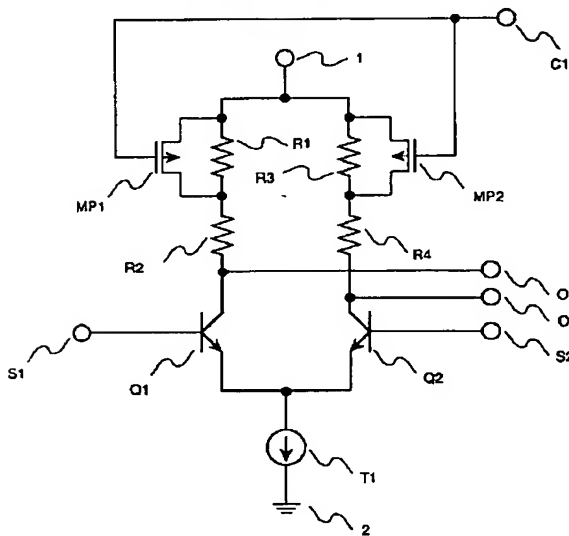
【符号の説明】

*

* 1…高電位点、2…低電位点、3～14…ノード名、S1, S2…入力信号名、C1…制御信号名、O1, O2…出力端子、R1, R2, R3, R4…抵抗、MP1～MPm…pチャネル電界効果トランジスタ、Q1, Q2…NPN型バイポーラトランジスタ。

【図1】

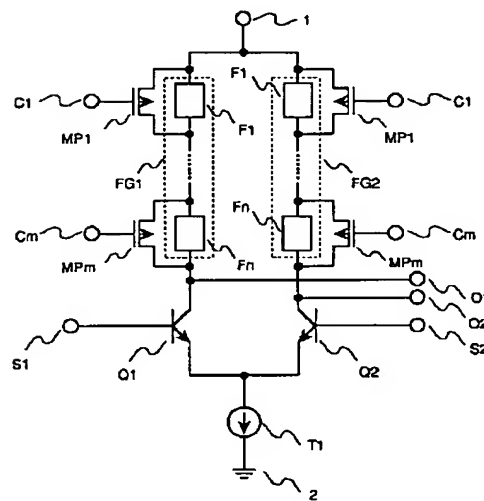
図 1



1…高電位電源 2…低電位電源
T1…定電流源 S1, S2…入力信号
C1…制御信号 O1, O2…出力端子
MP1, MP2…pチャネル電界効果トランジスタ
Q1, Q2…NPN型バイポーラトランジスタ
R1, R2, R3, R4…抵抗

【図2】

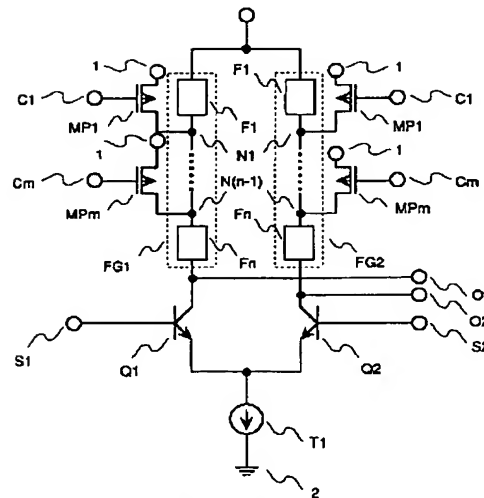
図 2



C1～Cm…制御信号
MP1～MPm…pチャネル電界効果トランジスタ
FG1, FG2…負荷全体名 F1～Fn…負荷

【図3】

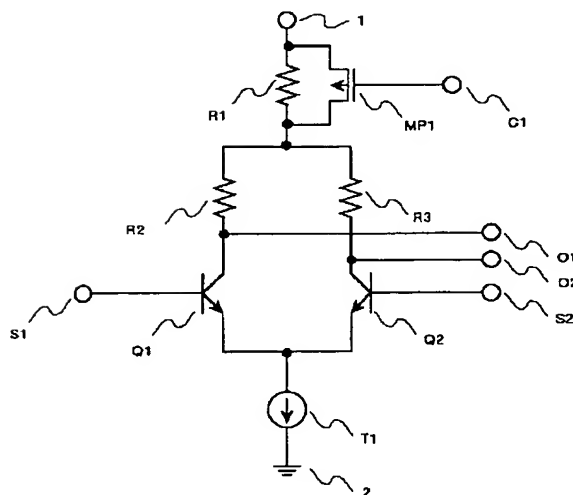
図 3



N1～N(n-1)…負荷接続端子

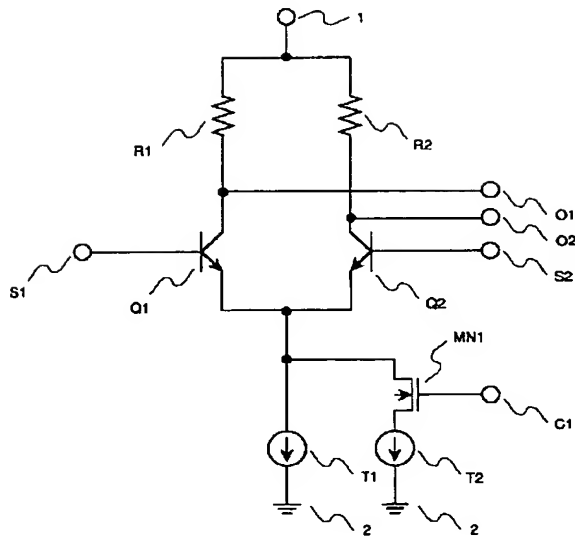
【図4】

図 4



【図 5】

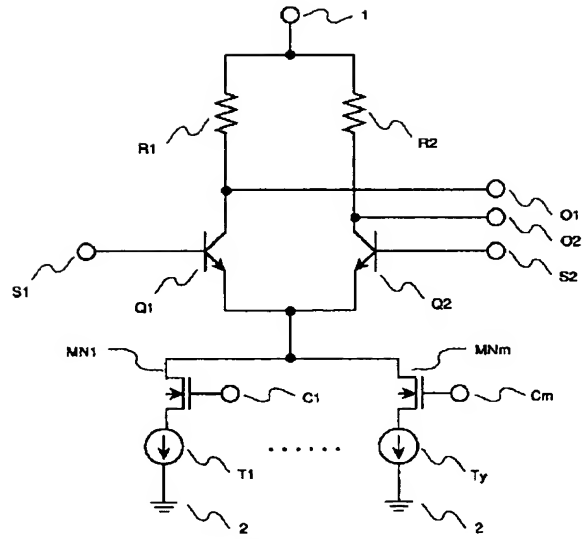
図 5



T2... 定電流源
MN1... nチャネル電解効果トランジスタ

【図 6】

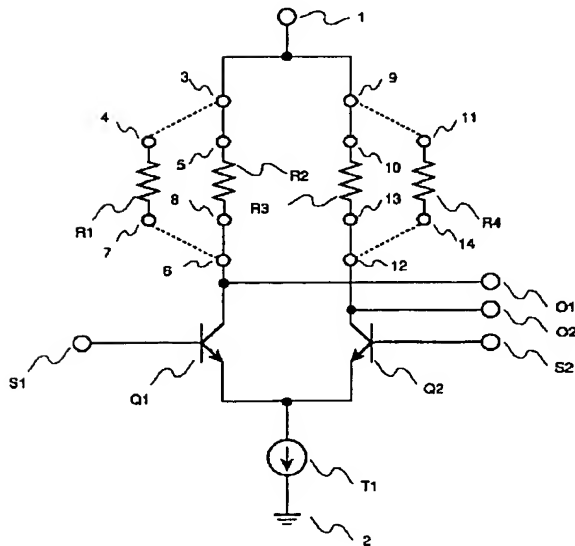
図 6



T1 ~ Ty... 定電流源
MN1 ~ MNm... nチャネル電解効果トランジスタ

【図 7】

図 7



3 ~ 14... ノード名

フロントページの続き

(72)発明者 秋岡 隆志
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 秋山 登
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内